

(3) Japanese Patent Application Laid-Open No. 08-070106 (2002)

**“SEMICONDUCTOR DEVICE AND METHOD OF MANUFACTURING
THE SAME”**

The following is an English translation of an extract of the above application.

5

A first conductive layer 1a is formed so as to contact with a source/drain region 15 formed in a surface of a silicon substrate through a contact hole 31 provided in an interlayer insulating layer 29 and to extend over an upper surface of the interlayer insulating layer 29. A coating layer 33 is formed so as to cover an end face of the first conductive layer 1a as well as an exposed surface of the interlayer insulating layer 29 and to have a hole 33a which
10 exposes a central portion of the first conductive layer 1a. A second conductive layer 1b is formed so as to contact with an inner wall of the hole 33a and an inner side than the end face of the first conductive layer 1a. The coating layer 33 is removed. A capacitor dielectric layer 3 and an upper electrode layer 5 are successively formed to cover a surface
15 of a lower electrode layer 1.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-70106

(43) 公開日 平成8年(1996)3月12日

(51) Int.Cl.⁶

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 27/108
21/8242
27/04

7735-4M

H 0 1 L 27/ 10
27/ 04

6 2 1 C
C

審査請求 未請求 請求項の数4 O L (全 11 頁) 最終頁に続く

(21) 出願番号 特願平6-204951

(22) 出願日 平成6年(1994)8月30日

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 松井 泰志

兵庫県伊丹市瑞原4丁目1番地 三菱電機
株式会社ユー・エル・エス・アイ開発研究
所内

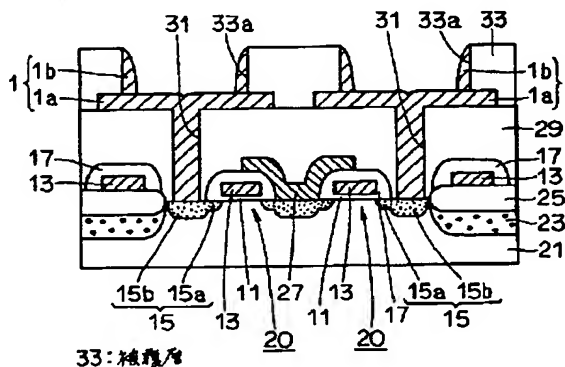
(74) 代理人 弁理士 深見 久郎 (外3名)

(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【目的】 電氣的信頼性に優れた半導体装置を簡略な工程で製造する。

【構成】 層間絶縁層29に設けられたコンタクトホール31を通じてシリコン基板21の表面に形成されたソース/ドレイン領域15に接するように、かつ層間絶縁層29の上部表面に延在するように第1の導電層1aが形成される。層間絶縁層29の露出した表面および第1の導電層1aの端面を覆い、かつ第1の導電層1aの中央部を露出する孔33aを有するように被覆層33が形成される。孔33aの内壁に接し、かつ第1の導電層1aの端面より内側に接するように第2の導電層1bが形成される。被覆層33が除去される。下部電極層1の表面を覆うようにキャパシタ誘電体層3および上部電極層5が順次形成される。



【特許請求の範囲】

【請求項1】 半導体基板の主表面に不純物領域を形成する工程と、

上部表面を有し、その上部表面から前記不純物領域の表面に達する第1の孔を有する絶縁層を前記半導体基板の主表面上に形成する工程と、

前記絶縁層の上部表面上において端面とその端面に取囲まれる中央部表面とを有するように、かつ前記第1の孔を通じて前記不純物領域と電気的に接続するように第1の導電層を形成し、前記絶縁層の上部表面の一部を前記第1の導電層から選択的に露出させる工程と、

露出した前記絶縁層の上部表面上と前記第1の導電層の端面上とを覆い、かつ前記第1の導電層の中央部表面に達する第2の孔を有する被覆層を形成する工程と、

前記第2の孔内において前記被覆層の側壁面に接し、かつ前記端面よりも前記中央部表面側で前記第1の導電層と電気的に接続される筒形状の第2の導電層を形成する工程と、

前記被覆層を、少なくとも前記第1の導電層の端面が露出するまでエッチング除去する工程と、

前記第1および第2の導電層を覆うようにキャパシタ誘電体層を形成する工程と、

前記キャパシタ誘電体層を介在して前記第1および第2の導電層と対向するように上部電極層を形成する工程とを備えた、半導体装置の製造方法。

【請求項2】 前記被覆層をエッチング除去する工程は、前記被覆層のエッチング速度が前記絶縁層のエッチング速度よりも大きくなる条件でエッチングする工程を含む、請求項1に記載の半導体装置の製造方法。

【請求項3】 前記不純物領域は、MOSトランジスタの1対のソース/ドレイン領域の一方であり、前記ソース/ドレイン領域の他方に接するビット線を形成する工程をさらに備え、

前記ビット線が、前記ソース/ドレイン領域の他方に接するように前記半導体基板の主表面上に形成された後に前記ビット線を覆うように前記絶縁層が形成される、請求項1に記載の半導体装置の製造方法。

【請求項4】 主表面を有する半導体基板と、前記半導体基板の主表面に形成される不純物領域と、

実質的に平坦な上部表面を有し、その上部表面から前記不純物領域の表面に達する孔を有するように前記半導体基板の主表面上に形成された絶縁層と、

前記孔を通じて前記不純物領域と電気的に接続され、かつ前記絶縁層の上部表面上に形成された延在部を有し、前記延在部が端面とその端面に取囲まれた中央部表面とを有するように形成された第1の導電層と、

前記端面よりも前記中央部表面側で前記中央部表面を包囲するように前記第1の導電層に接し、かつ上方へ延びる筒形状の第2の導電層と、

前記第1および第2の導電層を覆うキャパシタ誘電体層

と、

前記キャパシタ誘電体層を介在して前記第1および第2の誘電体層に対向する上部電極層とを備えた、半導体装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、半導体装置およびその製造方法に関し、より特定的には、微細化に適したキャパシタ構造を有する半導体装置およびその製造方法に関するものである。

【0002】

【従来の技術】近年、コンピュータなどの情報機器のめざましい普及によって、半導体装置の需要が急速に拡大している。また機能的には、大規模な記憶容量を有し、かつ高速動作が可能なものが要求されている。これに伴って、半導体装置への高集積化および高速応答性あるいは高信頼性に関する技術開発が進められている。

【0003】半導体装置の中で記憶情報のランダムな入出力が可能なものとしてDRAM (Dynamic Random Access Memory) が一般的に知られている。このDRAMのメモリセル領域を構成するメモリセルは、一般に1個のMOS (Metal Oxide Semiconductor) トランジスタとこれに接続された1個のキャパシタとから構成される、いわゆる1トランジスタ1キャパシタ型のメモリセルである。このタイプのメモリセルは、構造が簡単なためメモリ領域の集積度を容易に向上でき、それゆえ大容量のDRAMに広く用いられている。

【0004】以下、従来のDRAMのメモリ領域を構成するメモリセルの構造について説明する。

【0005】図9は、従来のメモリセル構造を示す概略断面図である。図9を参照して、メモリセルは、1つのMOSTランジスタ20と、1つのキャパシタ110とを有している。

【0006】MOSTランジスタ20は、1対のソース/ドレイン領域15と、ゲート酸化膜11と、ゲート電極層13とを有している。1対のソース/ドレイン領域15は、シリコン基板21の素子分離酸化膜25およびチャネルカット領域23によって分離された領域に所定の距離を隔てて形成されている。この1対のソース/ドレイン領域15は、比較的低濃度の不純物領域15aと、比較的高濃度の不純物領域15bとからなるLDD (Lightly Doped Drain) 構造を有している。この1対のソース/ドレイン領域15に挟まれる領域上にゲート酸化膜11を介在してゲート電極層(ワード線)13が形成されている。このゲート電極層13の表面を覆うように絶縁層17が形成されている。

【0007】また1対のソース/ドレイン領域15の一方にはビット線となる導電層27が、絶縁層17上に乗り上げるように形成されている。これらMOSTランジスタ20と、導電層27とを覆うように層間絶縁層29

10

20

30

40

50

3

が形成されている。なお導電層27は、層間絶縁層29によって埋込まれることにより、埋込みビット線となっている。また層間絶縁層29は、その上部表面が平坦化処理によって実質的に平坦とされている。この層間絶縁層29には、1対のソース/ドレイン領域15の他方に達するコンタクトホール31が形成されている。このコンタクトホール31を通じて1対のソース/ドレイン領域15の他方に接するようにキャパシタ110が形成されている。

【0008】キャパシタ110は、下部電極層（ストレージノード）101と、キャパシタ誘電体層103と、上部電極層（セルプレート）105とを有している。下部電極層101は、第1および第2の導電層101a、101bを有している。第1の導電層101aは、コンタクトホール31を通じてソース/ドレイン領域15に接し、かつ層間絶縁層29の上部表面上をその表面に沿って延在している。また第2の導電層101bは、第1の導電層101aの延在部の端面に接し、かつその端面から上方へ延びる筒形状を有している。この下部電極層101の表面を覆うようにキャパシタ誘電体層103が形成されている。このキャパシタ誘電体層103を介在して下部電極層101と対向するように上部電極層105が形成されている。

【0009】次に、従来の半導体装置の製造方法について説明する。図10～図19は、従来の半導体装置の製造方法を工程順に示す概略断面図である。まず図10を参照して、シリコン基板21の表面を分離するように通常のLOCOS（Local Oxidation of Silicon）法などにより素子分離酸化膜25が形成される。またこの際、同時に素子分離酸化膜25の下側領域にチャネルカット領域23が形成される。

【0010】そしてシリコン基板21の表面上にゲート酸化膜11を介在してゲート電極層13が形成される。このゲート電極層13などをマスクとしてイオン注入を施すことにより比較的低濃度の不純物領域15aが形成される。ゲート電極層13を覆うように絶縁層17が形成される。この絶縁層17などをマスクとしてイオン注入を施すことにより比較的高濃度の不純物領域15bが形成される。これにより低濃度および高濃度の不純物領域15a、15bにより、LDD構造のソース/ドレイン領域15が形成される。このように、MOSトランジスタ20が形成される。

【0011】1対のソース/ドレイン領域15のいずれか一方と接するように埋込みビット線となる導電層27が絶縁層17上に形成される。この導電層27とMOSトランジスタ20とを覆うように絶縁層29aが形成される。この絶縁層29aの表面上に、表面の平坦化のためSOG（Spin On Glass）膜29bが形成される。この後、レジスト膜29bおよび絶縁層29aが点線で示す位置までエッチバックされる。

4

【0012】図11を参照して、このエッチバックにより、その表面がほぼ平坦な層間絶縁層29が得られる。

【0013】図12を参照して、層間絶縁層29の表面全面にフォトリソグ40aが塗布され、露光・現像処理により所望の形状を有するレジストパターン40aが形成される。このレジストパターン40aをマスクとして層間絶縁層29に異方性エッチングが施される。このエッチングにより、層間絶縁層29には、ソース/ドレイン領域15の一部表面に達するコンタクトホール31が形成される。この後、レジストパターン40aが除去される。

【0014】図13を参照して、コンタクトホール31を通じてソース/ドレイン領域15に接するように層間絶縁層29の表面全面に、不純物が導入された多結晶シリコン層（以下、ドーパド多結晶シリコン層とする）101cが形成される。

【0015】図14を参照して、ドーパド多結晶シリコン層101c上に絶縁層133が形成される。絶縁層133の表面上にレジストパターン140bが形成される。このレジストパターン140bをマスクとして絶縁層133がエッチングされ、引続き、ドーパド多結晶シリコン層101cがエッチングされる。このエッチングにより、ドーパド多結晶シリコン層101cは、コンタクトホール31を通じてソース/ドレイン領域15に接し、かつ層間絶縁層29の上部表面上を延在する第1の導電層101aとなる。この後、レジストパターン140bが除去される。

【0016】図15を参照して、絶縁層133、第1の導電層101aおよび層間絶縁層29の表面全面を覆うようにドーパド多結晶シリコン層101dが形成される。この後、このドーパド多結晶シリコン層101dに、少なくとも絶縁層133および層間絶縁層29の上部表面が露出するまで異方性エッチングが施される。

【0017】図16を参照して、このエッチングにより、第1の導電層101aの延在部の端面および絶縁層133の側壁面に接し、円筒形状を有する第2の導電層101bが形成される。この第1および第2の導電層101a、101bにより下部電極層101が構成される。

【0018】図17を参照して、絶縁層133の除去時に層間絶縁層29の表面がエッチングされることを防止するため、層間絶縁層29の露出した表面を覆うようにフォトリソグ135が形成される。またこの後、図20に示すようにメモリセル領域MC以外の周辺回路領域PC上を覆うようにレジスト137が露光・現像処理によって所望の形状に形成される。この状態で、絶縁層133がエッチング除去される。

【0019】図18を参照して、これにより、下部電極層101の円筒内において第1および第2の導電層101a、101bの表面が露出する。この後、酸素プラズ

マによるアッシングを用いてフォトレジスト135および周辺回路領域上を覆うフォトレジスト(図示せず)がアッシングされる。

【0020】図19を参照して、このアッシングによって、層間絶縁層29の上部表面が露出する。なお、このアッシングによっては、層間絶縁層29の上部表面はほとんど除去されない。この後、キャパシタ誘電体層とドーパント多結晶シリコン層よりなる上部電極層とが順次形成されて図9に示す半導体装置が得られる。

【0021】

【発明が解決しようとする課題】従来技術では、図17、図20に示すようにフォトレジスト135、137を設けたことにより、絶縁層133除去時に層間絶縁層29がエッチングされることを防止している。

【0022】一般に絶縁層133をエッチング除去するときには、絶縁層133の膜厚 T_{s1} 分およびオーバーエッチング量 T_{s2} 分のエッチングがなされる。このため、図16に示す状態からフォトレジストを設けずに絶縁層133を除去すると、図21に示すように層間絶縁層27の露出部は、絶縁層133の膜厚 T_{s1} およびオーバーエッチング量 T_{s2} 分(膜厚 $T_s = T_{s1} + T_{s2}$)エッチングされる。このように層間絶縁層29が大幅にエッチングされると、埋込みビット線27が露出し、半導体装置の電気的信頼性が低下する原因となる。これを防止すべく、図17に示す工程でレジスト135が形成されるのである。

【0023】しかしながら、レジスト135、137を設けることとしたため、レジストの形成、レジストのバターンニングおよびレジストの除去といった工程が必要となり、工程数の増大とともに工程の複雑化という問題点が生じた。

【0024】それゆえ本発明の一の目的は、電気的信頼性に優れた半導体装置を提供することである。

【0025】また本発明の他の目的は、電気的信頼性に優れた半導体装置を簡略な工程で製造することである。

【0026】

【課題を解決するための手段】請求項1に記載の半導体装置の製造方法は、以下の工程を備えている。

【0027】まず半導体基板の主表面に不純物領域が形成される。そして上部表面を有し、その上部表面から不純物領域の表面に達する第1の孔を有する絶縁層が半導体基板の主表面上に形成される。そして絶縁層の上部表面上において端面とその端面に取囲まれる中央部表面とを有するように、かつ第1の孔を通じて不純物領域と電気的に接続するように第1の導電層が形成され、絶縁層の上部表面の一部が第1の導電層から選択的に露出される。露出した絶縁層の上部表面上と第1の導電層の端面上とを覆い、かつ第1の導電層の中央部表面に達する第2の孔を有する被覆層が形成される。そして第2の孔内において被覆層の側壁面に接し、かつ端面よりも中央部

表面側で第1の導電層と電気的に接続される筒形状の第2の導電層が形成される。そして被覆層が、少なくとも第1の導電層の端面が露出するまでエッチングされる。そして第1および第2の導電層を覆うようにキャパシタ誘電体層が形成される。そしてキャパシタ誘電体層を介して第1および第2の導電層と対向するように上部電極層が形成される。

【0028】請求項2に記載の半導体装置の製造方法では、被覆層をエッチング除去する工程は、被覆層のエッチング速度が絶縁層のエッチング速度よりも大きくなる条件でエッチングする工程を含むことが望ましい。

【0029】請求項3に記載の半導体装置の製造方法は、不純物領域がMOSトランジスタの1対のソース/ドレイン領域の一方であり、ソース/ドレイン領域の他方に接するビット線を形成する工程をさらに備えている。このビット線がソース/ドレイン領域の他方に接するように半導体基板の主表面上に形成された後に、ビット線を覆うように絶縁層が形成される。

【0030】請求項4に記載の半導体装置は、半導体基板と、不純物領域と、絶縁層と、第1の導電層と、第2の導電層と、キャパシタ誘電体層と、上部電極層とを備えている。半導体基板は主表面を有している。不純物領域は、半導体基板の主表面に形成されている。絶縁層は、実質的に平坦な上部表面を有し、その上部表面から不純物領域の表面に達する孔を有するように半導体基板の主表面上に形成されている。第1の導電層は、孔を通じて不純物領域と電気的に接続され、かつ絶縁層の上部表面上に形成された延在部を有している。この延在部は、その端面とその端面に取囲まれた中央部表面とを有するように形成されている。第2の導電層は、端面よりも中央部表面側で中央部表面を包囲するように第1の導電層に接し、かつ上方へ延びる筒形状を有している。キャパシタ誘電体層は、第1および第2の導電層を覆っている。上部電極層は、キャパシタ誘電体層を介して第1および第2の誘電体層に対向している。

【0031】

【作用】請求項1に記載の半導体装置の製造方法では、被覆層が露出した絶縁層の上部表面と第1の導電層の端面上とを覆うように形成される。このため、下部電極層の円筒部となる第2の導電層が形成された後に被覆層にエッチングが施されても、層間絶縁層は被覆層によって保護されているため直接エッチングされることは防止できる。つまり層間絶縁層は被覆層が完全に除去されるまでエッチングされない。それゆえ、層間絶縁層には、被覆層のオーバーエッチング量分のエッチングしか行なわれない。したがって、層間絶縁層に被覆層の膜厚およびオーバーエッチング量分のエッチングが行なわれる従来例に比較して、本発明の方法では層間絶縁層のエッチング量が少なくて済む。

【0032】また、被覆層により層間絶縁層を保護する

こととしたため、従来例のように層間絶縁層を保護するためのフォトリソは不要となる。このため、フォトリソの形成、写真製版、除去の工程を削除できるため、工程の簡略化を図ることができる。

【0033】請求項2に記載の半導体装置の製造方法では、被覆層のエッチング条件は、被覆層のエッチング速度が、絶縁層のエッチング速度よりも大きくなるように設定される。このため、被覆層除去時に被覆層のオーバーエッチングが層間絶縁層に施されても、層間絶縁層はほとんどエッチングされず、実質的に平坦な上部表面を維持することができる。

【0034】請求項3に記載の半導体装置の製造方法では、ビット線が層間絶縁層に埋込まれ、キャパシタの下層に形成される。ビット線をキャパシタの上層に形成すると、ビット線をソース/ドレイン領域に接続するためのコンタクトホールによって、キャパシタの平面占有面積が減少する。これに対して、ビット線をキャパシタの下層に形成すれば、ビット線とソース/ドレイン領域とを接続するためのコンタクトホールがキャパシタ形成領域を制約することはない。よって、キャパシタの平面占有面積は拡大され、より大きなキャパシタ容量を得ることができる。

【0035】上記の方法により製造される請求項1に記載の半導体装置では、層間絶縁層の上部表面が実質的に平坦なまま維持される。このため、仮に層間絶縁層の下層にビット線などの導電層が設けられていても、このビット線が層間絶縁層から露出することはない。したがって、電気的信頼性に優れた半導体装置が得られる。

【0036】

【実施例】以下、本発明の実施例について図面に基づいて説明する。

【0037】図1は、本発明の実施例における半導体装置の構成を概略的に示す断面図である。図1を参照して、シリコン基板21の表面には、各素子を電気的に分離するための素子分離酸化膜25が形成されている。また素子分離酸化膜25の下側領域には、チャネルカット領域23が形成されている。このように分離酸化膜25とチャネルカット領域23とにより電気的に分離されたシリコン基板21の表面にDRAMのメモリセルが形成されている。このメモリセルは、1つのMOSトランジスタ20と、1つのキャパシタ10とを有している。

【0038】MOSトランジスタ20は、ゲート酸化膜11と、ゲート電極層13と、ソース/ドレイン領域15とを有している。シリコン基板21の表面には、互いに所定の間隔を介して1対のソース/ドレイン領域15が形成されている。このソース/ドレイン領域15は、比較的低濃度の不純物領域15aと、比較的高濃度の不純物領域15bとの2層構造よりなるLDD構造を有している。この1対のソース/ドレイン領域15に挟まれる領域上には、ゲート酸化膜11を介在してゲート電極

層13が形成されている。このゲート電極層13の表面を覆うように絶縁層17が形成されている。

【0039】1対のソース/ドレイン領域15の一方に接し、かつ絶縁層17上に乗り上げるようにビット線をなす導電層27が形成されている。この導電層27およびゲート電極層13は、たとえばタングステンシリサイド構造を有している。この導電層27とMOSトランジスタ20とを覆うように層間絶縁層29が、たとえばTEOS (Tetra Ethoxy Silane) により形成されている。また層間絶縁層29の上部表面は、平坦化処理により実質的に平坦にされている。また層間絶縁層29には、1対のソース/ドレイン領域15の他方に達するコンタクトホール31が形成されている。このコンタクトホール31を通じて1対のソース/ドレイン領域15に電気的に接続されるようにキャパシタ10が形成されている。

【0040】キャパシタ10は、下部電極層1と、キャパシタ誘電体層3と、上部電極層5とを有している。下部電極層1は、第1の導電層1aと、第2の導電層1bとを有している。第1の導電層1aは、コンタクトホール31を通じてソース/ドレイン領域15に接し、かつ層間絶縁層29の上部表面上に延在している。第2の導電層1bは、第1の導電層1aの延在部の端面1abよりも中央部側で第1の導電層1aに接し、かつその接触部から上方へ延びる筒形状を有している。この第1および第2の導電層1a、1bは、たとえばドーフト多結晶シリコンよりなっている。この第1および第2の導電層1a、1bを覆うようにキャパシタ誘電体層3が形成されている。またキャパシタ誘電体層3を介在して下部電極層1と対向するように上部電極層5が形成されている。この上部電極5は、たとえばドーフト多結晶シリコン層により形成されている。

【0041】次に、本発明の実施例における半導体装置の製造方法について説明する。図2～図7は、本発明の実施例における半導体装置の製造方法を工程順に示す概略断面図である。まず図2を参照して、シリコン基板21に素子分離酸化膜25、チャネルカット領域23、MOSトランジスタ20、ビット線27、層間絶縁層29およびコンタクトホール31を形成する工程は、図10～図12に示す従来の製造方法とほぼ同様であるためその説明は省略する。

【0042】コンタクトホール31を通じてソース/ドレイン領域15の他方と接するように層間絶縁層29の平坦な上部表面全面にドーフト多結晶シリコン層1cがたとえばCVD (Chemical Vapor Deposition) 法により形成される。

【0043】図3を参照して、ドーフト多結晶シリコン層1cの表面全面にフォトリソ40bが塗布される。このフォトリソ40bが露光・現像などされ、所望の形状を有するレジストパターン40bが形成され

10

20

30

40

50

る。このレジストパターン40bをマスクとして層間絶縁層29の一部表面が露出するまで異方性エッチングが施される。このエッチングにより、コンタクトホール31を通じてソース/ドレイン領域15に電氣的に接続され、かつ層間絶縁層29の上部表面上に所定の形状で延在する第1の導電層1aが形成される。この後、レジストパターン40bが除去される。

【0044】図4を参照して、露出した層間絶縁層29の表面および第1の導電層1aの端面1ab上を覆うように、かつ第1の導電層1aの中央部表面を露出する孔33aを有するように被覆層33が形成される。この被覆層33は、たとえばシリコン酸化膜よりなる。

【0045】図5を参照して、孔33aを通じて第1の導電層1aの表面に接するように被覆層33の表面全面にドーパント多結晶シリコン層1dがCVD法により形成される。この後、ドーパント多結晶シリコン層1dに被覆層33の上部表面が少なくとも露出するまで異方性エッチングが施される。

【0046】図6を参照して、この異方性エッチングにより、孔33aの側壁面に接するようにドーパント多結晶シリコン層1bが残存する。このようにして、第1の導電層1bが、第1の導電層1aの端面より中央部表面側で中央部表面を包囲するように第1の導電層1aに接し、かつ上方へ延びる筒形状を有するように形成される。この後、被覆層33が少なくとも層間絶縁層29の上部表面が露出するまでエッチングされる。

【0047】図7を参照して、これにより、層間絶縁層29の上部表面が露出する。この後、キャパシタ誘電体層およびドーパント多結晶シリコン層よりなる上部電極層とが各々CVD法により形成されることにより、図1に示す半導体装置が得られる。

【0048】なお、上記の実施例においては、図6に示すように被覆層33と層間絶縁層29とが同じシリコン酸化膜により形成されている。しかし、この層間絶縁層29と被覆層33との材質は、これに限られず、互いにエッチング特性の異なる絶縁材料であればよい。

【0049】具体的には、層間絶縁層29がTEOS膜であり、被覆層33がNSGであればよい。この場合に、被覆層33をフッ酸(HF)でエッチング除去する場合、層間絶縁層29に対する被覆層33のエッチング選択比は約100程度である。このため、被覆層33にエッチングを施しても、層間絶縁層29はほとんどエッチングされない。

【0050】本実施例では、図4に示すように被覆層33が露出した層間絶縁層29の上部表面と第1の導電層1aの端面上とを覆うように形成される。このため、図6のプロセスにおいて被覆層33にエッチングが施されても、層間絶縁層29は被覆層33に保護されているため直接エッチングされない。つまり層間絶縁層29は被覆層33が完全に除去されるまではエッチングされな

い。それゆえ、層間絶縁層29には、図8に示すように被覆層33のオーバーエッチング量T、分のエッチングしか行なわれない。したがって、層間絶縁層29に被覆層33の膜厚分およびオーバーエッチング量分のエッチングが行なわれる従来例に比較して、本発明の方法では層間絶縁層29のエッチングによるえぐれ量を少なくすることができる。

【0051】また被覆層33により層間絶縁層29を保護することとしたため、図17に示す従来例のように層間絶縁層29を保護するためのフォトレジスト135および137は不要となる。このため、フォトレジスト135、137の形成、写真製版、除去の工程を削除することができるため、工程の簡略化を図ることができる。

【0052】また、図6に示す層間絶縁層29と被覆層33とを被エッチング特性の異なる材料により構成することもできる。この場合、被覆層33除去時に被覆層33のオーバーエッチングが層間絶縁層29に施されても、層間絶縁層29はほとんどエッチングされず、実質的に平坦な上部表面を維持することが可能となる。

【0053】また本実施例では、ビット線27が層間絶縁層29に埋込まれキャパシタ10の下層に形成されている。ビット線27をキャパシタ10の上層に形成した場合、ビット線27とソース/ドレイン領域15とを接続するためのコンタクトホールによって、キャパシタの平面占有面積が減少してしまう。これに対して、本実施例のようにビット線27をキャパシタ10の下層に形成すれば、ビット線27とソース/ドレイン領域15とを接続するためのコンタクトホールがキャパシタ10の形成領域を制約することはない。よって、キャパシタ10の平面占有面積は拡大され、より大きなキャパシタ容量を得ることが可能となる。

【0054】また本実施例では、上述のような製造方法により半導体装置を製造するため、層間絶縁層29の上部表面を実質的に平坦に維持することができる。このため、図1に示すように層間絶縁層29の下層にビット線27などの導電層が設けられていても、このビット線27などが層間絶縁層29から露出することは防止される。したがって、電氣的信頼性に優れた半導体装置を得ることが可能となる。

【0055】

【発明の効果】請求項1に記載の半導体装置の製造方法では、被覆層が露出した絶縁層の上部表面と第1の導電層の端面上とを覆うように形成される。このため、層間絶縁層は被覆層が完全に除去されるまでエッチングされない。したがって、被覆層のエッチング時において、層間絶縁層には被覆層のオーバーエッチング分のエッチングのみ施される。このため、層間絶縁層のえぐれは従来例に比較して少なくなる。

【0056】また、層間絶縁層上に被覆層を設けて被覆層により層間絶縁層を保護することとしているため、従

来例のように層間絶縁層を保護するためのフォトリソストは不要となる。したがって、フォトリソストの形成、写真製版、除去の工程を削除することができ、工程の簡略化を図ることができる。

【0057】請求項2に記載の半導体装置の製造方法では、被覆層のエッチング条件では、被覆層のエッチング速度は絶縁層のエッチング速度よりも十分に大きくなる。このため、被覆層除去時に被覆層のオーバエッチングが層間絶縁層に施されても、層間絶縁層はほとんどエッチングされず、実質的に平坦な上部表面を維持することができる。

【0058】請求項3に記載の半導体装置の製造方法では、ビット線が層間絶縁層に埋込まれ、キャパシタの下層に形成される。このため、ビット線とソース／ドレイン領域とを接続するためのコンタクトホールがキャパシタ形成領域を縮小することはない。したがって、キャパシタの平面占有面積は拡大され、より大きなキャパシタ容量を得ることが可能となる。

【0059】上記の方法により製造される請求項1に記載の半導体装置では、層間絶縁層の上部表面が実質的に平坦なまま維持される。このため、層間絶縁層下の導電層が層間絶縁層から露出することは防止され、電気的信頼性に優れた半導体装置を得ることが可能となる。

【図面の簡単な説明】

【図1】 本発明の実施例における半導体装置の構成を概略的に示す断面図である。

【図2】 本発明の実施例における半導体装置の製造方法の第1工程を示す概略断面図である。

【図3】 本発明の実施例における半導体装置の製造方法の第2工程を示す概略断面図である。

【図4】 本発明の実施例における半導体装置の製造方法の第3工程を示す概略断面図である。

【図5】 本発明の実施例における半導体装置の製造方法の第4工程を示す概略断面図である。

【図6】 本発明の実施例における半導体装置の製造方法の第5工程を示す概略断面図である。

【図7】 本発明の実施例における半導体装置の製造方*

*法の第6工程を示す概略断面図である。

【図8】 本発明の実施例において、被覆層のエッチング時において層間絶縁層がエッチングされる量を示す概略断面図である。

【図9】 従来の半導体装置の構成を概略的に示す断面図である。

【図10】 従来の半導体装置の製造方法の第1工程を示す概略断面図である。

【図11】 従来の半導体装置の製造方法の第2工程を示す概略断面図である。

【図12】 従来の半導体装置の製造方法の第3工程を示す概略断面図である。

【図13】 従来の半導体装置の製造方法の第4工程を示す概略断面図である。

【図14】 従来の半導体装置の製造方法の第5工程を示す概略断面図である。

【図15】 従来の半導体装置の製造方法の第6工程を示す概略断面図である。

【図16】 従来の半導体装置の製造方法の第7工程を示す概略断面図である。

【図17】 従来の半導体装置の製造方法の第8工程を示す概略断面図である。

【図18】 従来の半導体装置の製造方法の第9工程を示す概略断面図である。

【図19】 従来の半導体装置の製造方法の第10工程を示す概略断面図である。

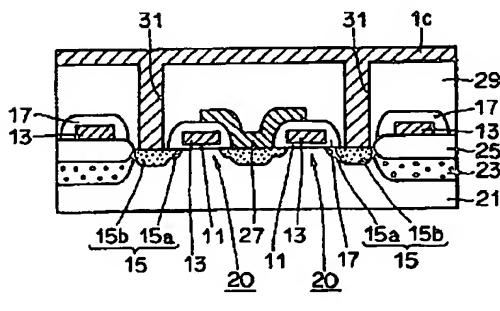
【図20】 被覆層除去前に形成されるフォトリソストの様子を示す概略断面図である。

【図21】 従来の半導体装置の製造方法において、被覆層の除去時に層間絶縁層がエッチングされる量を示す概略断面図である。

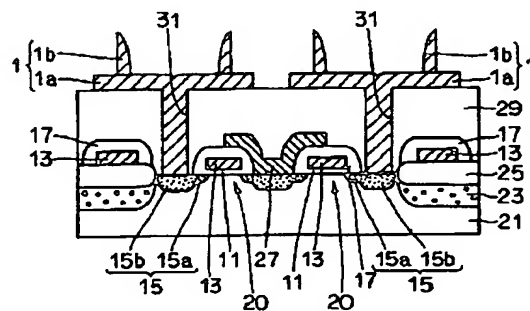
【符号の説明】

1 下部電極層、2 キャパシタ誘電体層、5 上部電極層、10 キャパシタ、15 ソース／ドレイン領域、20 MOSトランジスタ、21 シリコン基板、29 層間絶縁層、31 コンタクトホール、33 被覆層。

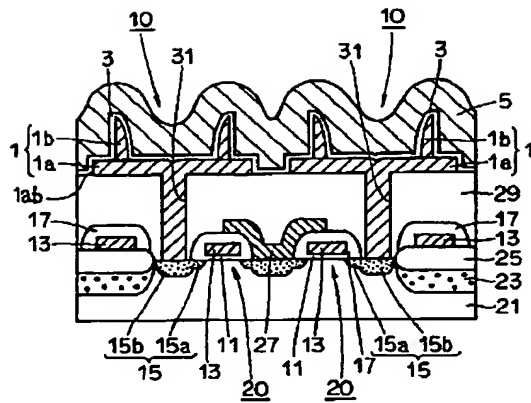
【図2】



【図7】

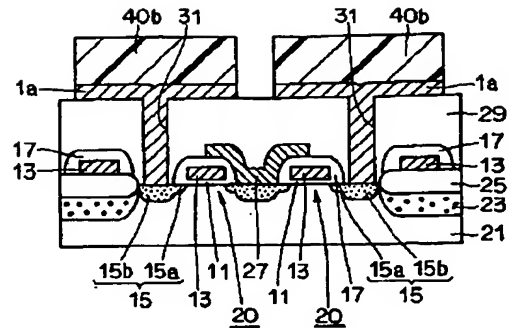


【図1】

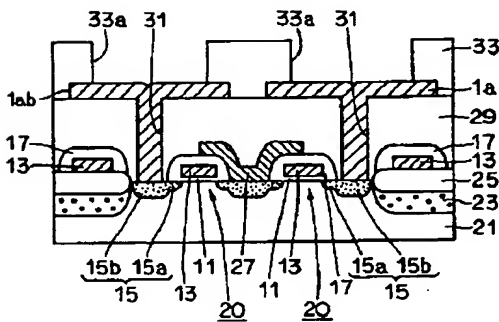


- 1: 下部電極層 3: キャパシタ誘電体層
 5: 上部電極層 10: キャパシタ
 15: ソース/ドレイン領域 20: MOSトランジスタ
 21: シリコン基板 29: 層間絶縁層
 31: コンタクトホール

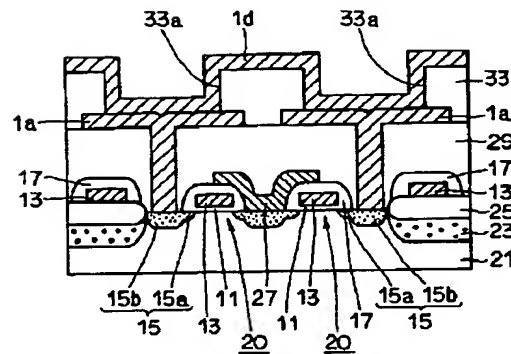
【図3】



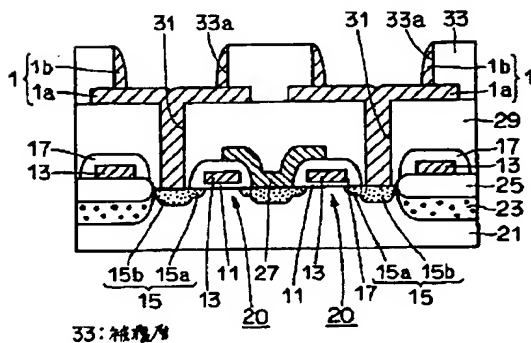
【図4】



【図5】

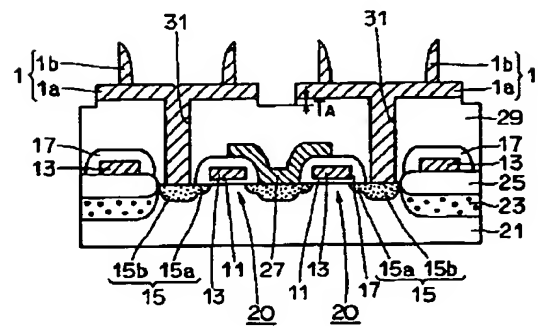


【図6】

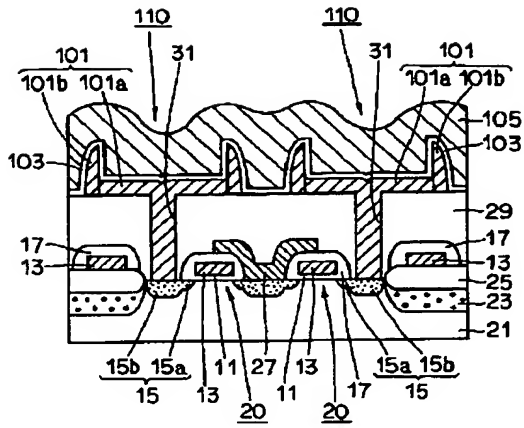


33: 被覆層

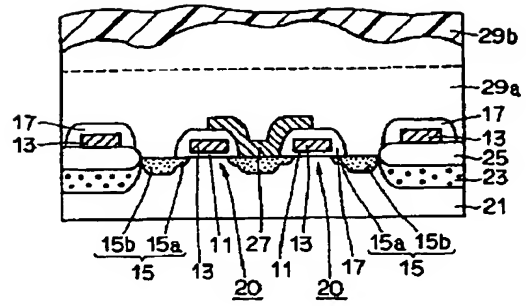
【図8】



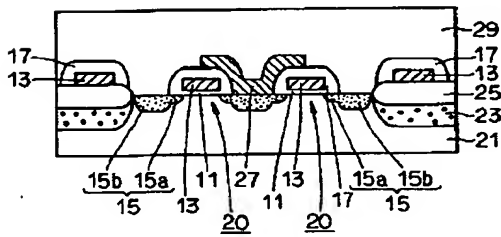
【図9】



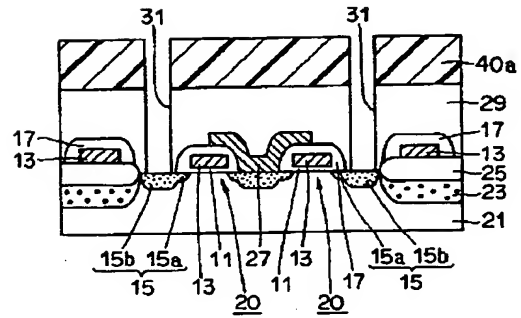
【図10】



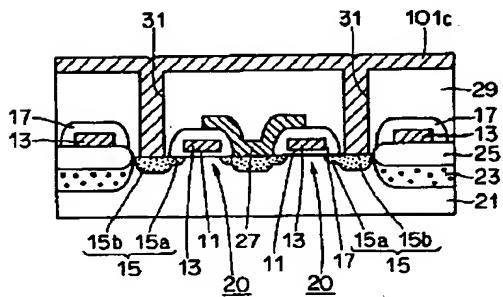
【図11】



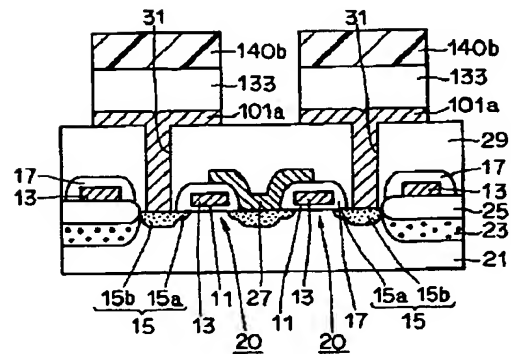
【図12】



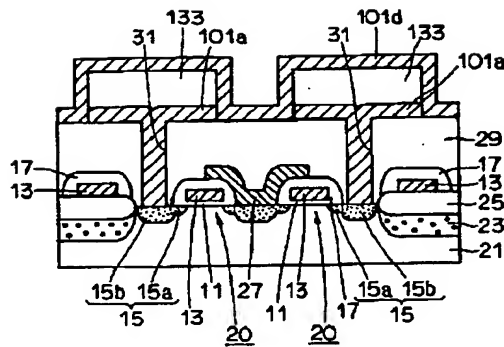
【図13】



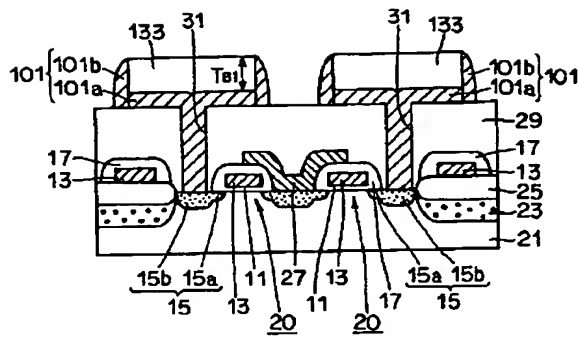
【図14】



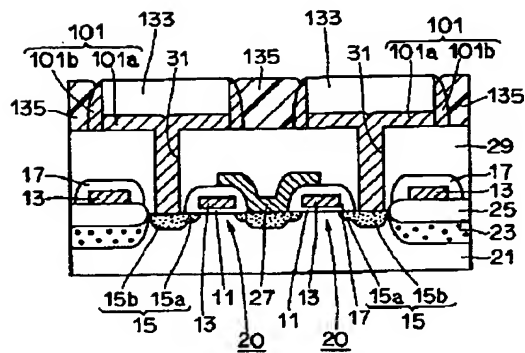
【図15】



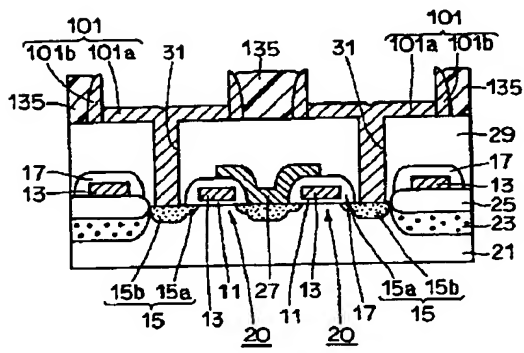
【図16】



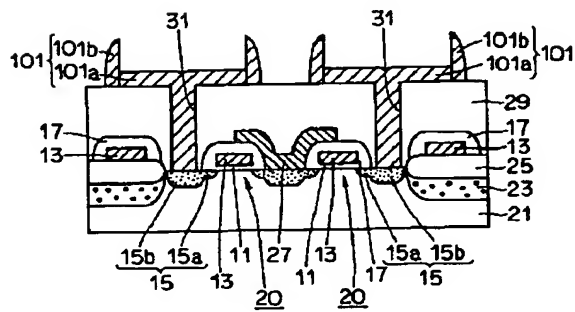
【図17】



【図18】



【図19】



【図20】

